

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-217146
 (43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H04N 1/41
 G06F 15/332
 G06F 15/66
 H04N 7/133

(21)Application number : 05-081091

(71)Applicant : SUN MICROSYST INC

(22)Date of filing : 17.03.1993

(72)Inventor : MCMILLAN JR LEONARD
 WESTOVER LEE A

(30)Priority

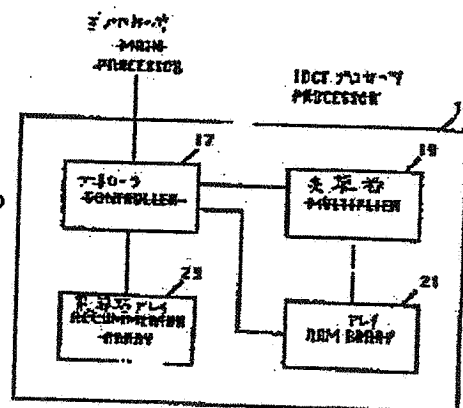
Priority number : 92 852969 Priority date : 17.03.1992 Priority country : US

(54) METHOD FOR EXECUTING IDCT IN DIGITAL IMAGE PROCESSING SYSTEM AND IDCT PROCESSOR THEREFOR

(57)Abstract:

PURPOSE: To provide a method and a device for executing the inverse discrete cosine transformation of $(n) \times (n)$ at a higher speed.

CONSTITUTION: A controller 17 controls the calculation of an output vector by utilizing a forward mapping procedure and the (k) pieces of the intrinsic nuclear values of the nucleus of reconstitution relating to respective non zero transformation area coefficients are selectively accumulated by an accumulator array 23. Also, the (k) is equal to $(n+2n)/8$ at most. The accumulator array 23 is constituted of accumulator blocks for sharing input and control lines designed so as to utilize the symmetrical characteristics of the nucleus of the reconstitution and the respective accumulator blocks are designed so as to perform the limited number of different arithmetic operations. Since the accumulator blocks are logically blocked and suitable symmetry and array are selected, the P pieces of symmetric selection bits and (q) array selection bits [(q) is equal to $n^2/2(P-1)$] are sent out to the control line.



LEGAL STATUS

[Date of request for examination] 16.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3323950

[Date of registration] 05.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

Searching PAJ

페이지 2 / 2

of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-217146

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/41		B 9070-5C		
G 0 6 F 15/332		S 7343-5L		
	15/66	M 8420-5L		
H 0 4 N 7/133		Z		

審査請求 未請求 請求項の数2 FD (全 12 頁)

(21)出願番号	特願平5-81091	(71)出願人	591064003 サン・マイクロシステムズ・インコーポレーテッド SUN MICROSYSTEMS, INCORPORATED アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550
(22)出願日	平成5年(1993)3月17日	(72)発明者	レオナード・マクミラン, ジュニア アメリカ合衆国 27502 ノースカロライナ州・アベックス・ハウエル ロード・241
(31)優先権主張番号	852969	(74)代理人	弁理士 山川 政樹
(32)優先日	1992年3月17日		
(33)優先権主張国	米国 (US)		

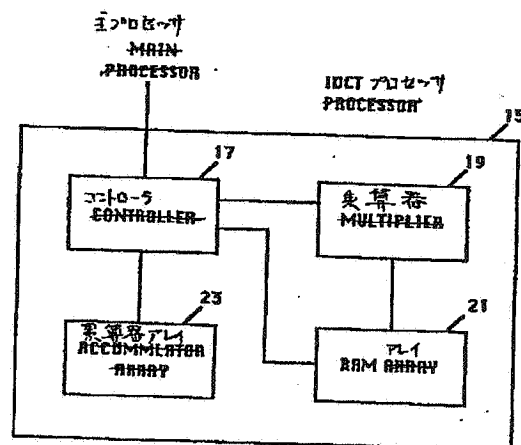
最終頁に続く

(54)【発明の名称】 デジタル画像処理システムでIDCTを実施する方法及びそのためのIDCTプロセッサ

(57)【要約】 (修正有)

【目的】 より高速度で $n \times n$ の逆離散的余弦変換を実施する方法及び装置を提供する。

【構成】 コントローラ17は順マッピング手順を利用して出力ベクトルの計算を制御し、各非ゼロ変換領域係数に関する再構成の核の k 個の固有の核値が、累算器アレイ23によって選択的に累算される。なお k は、多くても $(n^2 + 2n) / 8$ に等しい。累算器アレイは、再構成の核の対称特性を活用するように設計された、入力及び制御ラインを共用する累算器ブロックから構成され、各累算器ブロックは限られた数の異なる演算を行うように設計されている。累算器ブロックは、論理的にブロック化され、適合する対称性及び配列を選択するため、 P 個の対称性選択ビット及び q の配列選択ビット(q は、 $n^2 / 2^{(p-1)}$ に等しい)が、制御ラインに送り出される。



【特許請求の範囲】

【請求項1】 デジタル画像処理システムで、実施コストが比較的低い $n \times n$ の入力ベクトルに関する逆離散的余弦変換 (IDCT) を有効に実施する方法において、

a) 前記デジタル画像システムの画像サンプリング・サブシステムから受信したアナログ画像信号を利用して、画像信号処理サブシステムが発生した、ある画像の複数のデジタル化画像信号に対応する量子化入力値である、IDCT入力ベクトルの n^2 量子化変換領域係数から、

前記デジタル画像処理システムの画像信号処理サブシステムにおけるIDCTプロセッサのコントローラによって、非ゼロ量子化変換領域係数を選択するステップと、

b) 前記コントローラの制御下において、前記選択された量子化変換領域係数のスケーリングを施した再構成の核について n^2 未満の k 個の核値を発生するステップと、

c) 前記コントローラによって、前記発生した k 個の核値のそれぞれについて、対称性選択標識及びコンフィギュレーション標識を発生するステップと、

d) 前記コントローラによって、前記IDCTプロセッサの $n \times n$ の累算器からなるアレイに対して、前記発生した k 個の固有の核値、及び、その対応する対称性選択標識及びコンフィギュレーション標識を順次供給するステップと、

e) 前記対称性選択標識及びコンフィギュレーション標識に従って、 $n \times n$ の累算器からなる前記アレイによって、選択的に前記 k 個の固有の核値のそれぞれを累算するステップから構成され、

これによって、前記IDCTプロセッサが極めて効率よく、前記IDCTを実施することが可能になり、また、前記IDCTプロセッサを比較的低いコストで実現することが可能になることを特徴とする方法。

【請求項2】 デジタル画像処理システムで、実施コストが比較的低い、 $n \times n$ の入力ベクトルに関する逆離散的余弦変換 (IDCT) を有効に実施するIDCTプロセッサにおいて、

a) 前記デジタル画像システムの画像サンプリング・サブシステムから受信したアナログ画像信号を用いて、画像信号処理サブシステムが発生した、ある画像の複数のデジタル化画像信号に対応する量子化入力値である、IDCT入力ベクトルの n^2 量子化変換領域係数から、非

ゼロ量子化変換領域係数を選択し、前記選択された量子化変換領域係数のスケーリングを施した再構成の核について n^2 未満の k 個の核値を発生し、前記発生した k 個の核値のそれぞれについて、対称性選択標識及びコンフィギュレーション標識を発生するためのコントローラと、

b) 前記コントローラに結合されて、前記発生した k 個の固有の核値及びその対応する対称性選択標識及びコンフィギュレーション標識のそれぞれを順次受信し、前記

対称性選択標識及びコンフィギュレーション標識にしたがって、選択的に前記 k 個の固有の核値のそれぞれを累算するための $n \times n$ の累算器からなるアレイから構成され、

前記IDCTプロセッサは、極めて効率よく、前記IDCTを実施することが可能になり、また、前記IDCTプロセッサを比較的低いコストで実現することが可能になることを特徴とするIDCTプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル画像処理システムに関するもので、とりわけ、これらのシステムで実施されるユニタリ変換に関するものである。すなわち、本発明は、逆離散的余弦変換を極めて速い速度で実施することに関するものである。

【0002】

【従来の技術】 本出願は、本発明の譲受人であるカリフォルニア州マウンテン・ビューのSun Microsystems, Inc. に譲渡された、Method and Apparatus for Fast Implementation of Inverse Discrete Cosine Transform a Digital Image Processing System Using Optimized Lookup Tablesと題する、年__月__日に提出された米国特許出願第__/_、__号に関するものである。

【0003】 画像処理の際、画像は、一般に、連続した数学的関数として表される。連続表現は、確定的または統計的に行われている。確定的表現の場合には、画像の点特性が考慮され、統計的表現の場合には、画像の平均特性が指定される。

【0004】 デジタル画像処理システムでは、一般に、確定的であろうと、統計的であろうと、物理的画像の強さ、写真濃度、または、他の同様の測定の間隔サンプリングによって連続表現が構成される。空間サンプリングのアナログ結果は、さらに、デジタル・システムの振幅に比例した離散的結果に量子化される。画像は、量子化離散的空間サンプリングの結果を「逆転」することによって再構成される。

【0005】 さらに、逆転によって画像が再構成される前に、各種ユニタリ変換を実施することが可能である。この変換は、画像から明るさのような特徴を抽出し、バンド幅を縮小し、あるいは、次元を減らすために実施される。一連の画像は、文字どおり数千回もの変換を受けるので、これらの変換を実施する速度は極めて重要である。例えば、一連の画像を10フレーム/秒の速度で表示しなければならず、各画像毎に、 320×224 ピクセルのフレーム・サイズが、 280 の 16×16 ピクセルから成るマクロ・ブロックに分割され、各マクロ・ブ

ロックが、4 (8×8) 輝度値及び2 (8×8) クロミナンス値を有しているとする、変換される画像データに対して、毎秒16,800の逆変換(280×6×10)を実施しなければならない。

【0006】離散的余弦変換は、相関関係の強い入力、相関関係を解除する能力があり、効率のよい実施技法が発見されたため、広範囲にわたって用いられている。離散的余弦変換に関する最初期の高速実施技法は、基礎となる基本関数の周期性及び再起性を活用した、もともと高速フーリエ変換のために開発されたアプローチに基づくものである。その後、離散的余弦変換の基本行列に関する各種因数分解を考慮することによって、高速実施技法が開発された。

【0007】逆離散的余弦変換と離散的余弦変換の構造的類似性によって、離散的余弦変換に関する各高速実施技法は、双対逆離散的余弦変換に対して簡単に適応させることができた。結果として、逆離散的余弦変換の特定の公式化には全くこだわらず、入力シーケンスに関する変換領域の説明に特有の統計的特性については、ほとんど無視されることになった。

【0008】画像処理に関するこれ以上の説明については、1978年のWiley Interscienceから刊行されたWilliam K. PrattによるDigital Image Processing参照のこと。離散的余弦変換の高速実施技法に関するこれ以上の説明については、1990年のAcademic Pressから刊行されたK. R. Rao及びP. YipによるDiscrete Cosine Transform: Algorithm, Advantages, Applications参照のこと。

【0009】

【発明が解決しようとする課題】従って、入力シーケンスに固有の統計的特性を活用した、逆離散的余弦変換に関する高速実施技法を開発することが望ましい。特許出願第_____号の関連出願には、ちょうどそれを行う画像処理において逆離散的余弦変換を実施するための方法及び装置が開示されている。開示のように、本発明の目的は、画像処理において、より高速度で逆離散的余弦変換を実施するための方法及び装置を提供することにある。

【0010】

【課題を解決するための手段】本発明によれば、デジタル画像処理システムに関する逆離散的余弦変換(IDCT)を極めて高速度で実施するための方法及び装置が得られる。逆離散的余弦変換については、入力ベクトルに一定の係数の線形システム行列を掛けて、出力ベクトルが得られるようにするものと解説することができる。入力ベクトルは、一般に、疎である、すなわち、主として、ゼロ値の変換領域係数から構成されている。変換領域係数は、一般に量子化されるので、計算に用いる前

に、非量子化する必要がある。入力ベクトルの特定の位置に対応する各システム行列の列ベクトルは、再構成の核と呼ばれる。

【0011】本発明によれば、デジタル画像処理システムには、逆離散的余弦変換のN×Nの出力ベクトルを計算する専用逆離散的余弦変換プロセッサが設けられる。その現在のところ最も望ましいの場合、専用逆離散的余弦変換プロセッサは、コントローラ、ランダム・アクセス・メモリのアレイ、及び、累算器のN×Nアレイから構成される。

【0012】コントローラは、順マッピング手順を利用して、N×N出力ベクトルの計算を制御する。すなわち、コントローラは、非ゼロの非量子化変換領域係数によってスケーリングを施された、各システム行列の列を順次累算することによって、行列の積及び出力ベクトルが計算されるようにする。すなわち、コントローラは、最初にN×Nアレイをなす累算器をゼロ値に初期設定する。初期設定が済むと、コントローラは量子化変換領域係数がN×N入力ベクトルから選択されるようにする。量子化変換領域係数が非ゼロの場合、コントローラは、変換領域係数が非量子化され、そのスケーリングを施した再構成の核の多くても(N² + 2N) / 8の固有の核値が求められるようにする。次に、コントローラは、多くても(N² + 2N) / 8の固有の核値が、順次、選択的に、N×Nアレイをなす累算器に累算されるようにする。

【0013】現在のところ望ましい形態の場合、N×Nアレイをなす累算器は、入力及び制御ラインを共用するN²の同一の累算器ブロックから構成される。各累算器ブロックは、制限された数の別個の演算を実施するように設計されている。この制限された別個の演算は、次の演算から構成される。

【0014】

【数1】

$$A_{xy} \leftarrow 1$$

$$A_{xy} \leftarrow A_{xy}$$

$$A_{xy} \leftarrow A_{xy} + 1$$

$$A_{xy} \leftarrow A_{xy} - 1$$

【0015】さらに、累算器ブロックは論理的にグループ化される。累算器ブロック・グループは、2^qのやり方の1つでは互いに対称である。P個の対称性選択ビットが、適合する対称性を選択するため、制御ラインに送り出される。さらに、各累算器ブロック・グループは、2^q未満の配列の1つをなすように構成することができるが、ここで、qは、N² / 2^(p-1)に等しい。q未満の配列の選択ビットは、適合する配列を選択するため、制御ラインに送り出される。結果として、N×Nアレイをなす累算器は、比較的低いコストで実現することができ

る。

【0016】現在のところ望ましい実施例では、コントローラは、選択された変換係数が非量子化され、そのスケールリングを施した再構成の核の、多くても $(N^2 + 2N) / 8$ の固有の核値が、1つの組み合わせステップで求められるようにする。コントローラは、多くても $(N^2 + 2N) / 8$ の固有の核値が、入力ベクトルにおける選択された係数の位置に対応する、ランダム・アクセス・メモリのアレイに記憶されたルック・アップ・テーブルから検索されるようにする。入力ベクトルの各位位置毎に1つずつ、全部で N のルック・アップ・テーブルが、ランダム・アクセス・メモリのアレイに記憶される。ルック・アップ・テーブルによって、選択された変換領域係数の非量子化、及び、その再構成の核値に対するスケールリングが、1つの組み合わせステップで行われる。

【0017】さらに、現在のところ望ましい形態の場合、再構成の核の対称特性、量子化に固有の特性及び量子化変換領域係数の統計的属性を活用し、これによって、画像の逆変換に必要な計算総量をさらに減少させ、かつデジタル画像処理システムの総合的なIDCT効率を向上させるルック・アップ・テーブルが、まさに、最適である。さらに、必要時に、多くとも $(N^2 + 2N) / 8$ の固有の核値からなる各集合を計算し、それらが、その時点で記憶されていない場合に限り、記憶する。

【0018】

【実施例】デジタル画像処理システムにおいて逆離散的余弦変換を極めて速い速度で実施するための方法及び装置について開示する。説明を目的とした下記の解説では、本発明の完全な理解のため、特定の数、材料、及び、構成について述べることにする。しかし、当該技術の熟練者には明かなように、特定の細目によらずに実施することも可能である。他の例の場合には、本発明が不必要に曖昧にならないようにするため、周知のシステムは略図またはブロック図で示すことにする。

【0019】次に図1を参照すると、本発明の教示を組み込んだデジタル画像処理システムを表したブロック図が示されている。デジタル画像プロセッサ13に対して出力する画像サンプラ12が示されている。画像サンプラ12は、物理的画像のサンプリングを行って、その画像に関するアナログ空間サンプルを発生するために用いられる。画像サンプラ12は、広いカテゴリでの画像サンプリング装置を表すことを意図したものであるが、これらは、当該技術において周知のところであり、これ以上の説明は行わない。

【0020】デジタル画像プロセッサ13は、入力として、画像サンプラ12の出力を受け取り、次に、画像再構成器16に出力する。画像プロセッサ13は、アナログ・サンプルを離散的サンプルに変換する量子化、離散的余弦変換を含むユニタリ変換、非量子化、及び逆離散的余弦変換を含む逆ユニタリ変換を実施する。デジタル

画像プロセッサ13は、図2-5に関連してさらに詳細に後述することになる主プロセッサ14及び逆離散的余弦変換(IDCT)プロセッサ15から構成される。

【0021】画像再構成器16は、入力として画像プロセッサ13の出力を受け取って画像を出力する。画像再構成器16は、また、ラスター・ディスプレイを含む広いカテゴリでの画像再構成器を表すことを意図したものであるが、これらは、当該技術において周知のところであり、これ以上の説明は行わない。

【0022】次に、図2を参照すると、図1に示すデジタル画像プロセッサの主プロセッサを表したブロック図が示されている。ここには中央演算処理装置(CPU)18及び大容量記憶装置22に結合された入力/出力(I/O)回路24が示されている。I/O回路24は、画像サンプラ、画像再構成器、IDCTプロセッサ、及び、大容量記憶装置22との間で、適合する構造の形式による情報通信を行うために利用される。I/O回路24は、また、広いカテゴリでのI/O回路を表すことを意図したものであるが、これらは、当該技術において周知のところであり、これ以上の説明は行わない。

【0023】CPU18は、I/O回路16に結合されるだけでなく、メモリ20にも結合される。CPU18は、量子化、離散的余弦変換を含むユニタリ変換、非量子化、及び、逆離散的余弦変換を除く逆ユニタリ変換を実施するために利用される。CPU18は、また、広いカテゴリでのプロセッサを表すことを意図したものであるが、これらは、当該技術において周知のところであり、これ以上の説明は行わない。

【0024】メモリ20は、CPU16が実施する量子化、離散的余弦変換を含むユニタリ変換、非量子化、及び、逆ユニタリ変換(逆離散的余弦変換を除く)の作業データと中間結果を記憶するために利用される。メモリ20は、また、広いカテゴリでのメモリを表すことを意図したものであるが、これらは、当該技術において周知のところであり、これ以上の説明は行わない。

【0025】大容量記憶装置22は、アナログ・サンプル及び量子化された離散的サンプルの記憶に利用される。大容量記憶装置22は、また、広いカテゴリでの大容量記憶装置を表すことを意図したものであるが、これらは、当該技術において周知のところであり、これ以上の説明は行わない。

【0026】次に、図3を参照すると、本発明の逆離散的余弦変換プロセッサを示すブロック図が示されている。現在のところ望ましい形態の場合、IDCTプロセッサは、ランダム・アクセス・メモリのアレイ21及び累算器のアレイ23に結合されたコントローラ17から構成される。ランダム・アクセス・メモリのアレイ21及び累算器のアレイ23は、さらに、互いに結合されている。

【0027】コントローラ17は、逆離散的余弦変換を

制御するために用いられる。タイプ11の場合、2次元
逆離散的余弦変換は、次の通りである。

【0028】
【数2】

$$O(x, y) = \sum_{v=0}^{N-1} \sum_{u=0}^{N-1} f(u) f(v) i(u, v) \times \cos\left(\frac{\pi(2x+1)u}{2N}\right) \cos\left(\frac{\pi(2y+1)v}{2N}\right) \quad (1)$$

ここで

$$x, y: \rightarrow [0, N-1]$$

$$f(i) = \begin{cases} \frac{\sqrt{2}}{2} & i=0 \text{ のとき} \\ 1 & \text{その他} \end{cases}$$

【0029】コントローラ17は、線形システムとして、逆変換を制御する。

$$O = C I$$

(2)

ここで、IおよびOは、それぞれ、 $N \times N$ 変換入力シーケンス $i(u, v)$ 及び再構成された出力シーケンスO

(x, y) のローオーダー列挙によって構成された N^2 次元のベクトルである。システム行列Cは入力重み付け項から構成され、下記のように定義される。

【0030】
【数3】

$$c(yN + x, vN + u) = f(u) f(v) \times \cos\left(\frac{\pi(2x+1)u}{2N}\right) \cos\left(\frac{\pi(2y+1)v}{2N}\right)$$

【0031】すなわち、コントローラ17は、順マッピング式に出力ベクトルOの計算を制御する、すなわち、システム行列の列は、対応する入力値によってスケール

列の各要素 C^{uv} にスケールリングが施され、結果は、出力ベクトルOに累算される。ここに

【0032】
【数4】

$$O = \sum_{uv} i_{uv} C^{uv}$$

$$C^{uv} = \begin{bmatrix} C_0^{uv} \\ C_1^{uv} \\ \vdots \\ C_M^{uv} \end{bmatrix}$$

$$C_k^{uv} = f(u) f(v) \times \cos\left(\frac{\pi(2x_k+1)u}{2N}\right) \cos\left(\frac{\pi(2y_k+1)v}{2N}\right)$$

$$y_k = \frac{k}{N} \text{ and } x_k = k \bmod N$$

【0033】行列式として、これは、次のように書かれる。

【0034】

【数5】

$$\begin{bmatrix} C_{00}^{00} \\ C_{01}^{00} \\ \vdots \\ C_{0L}^{00} \end{bmatrix} = i_{00} \begin{bmatrix} C_{00}^{00} \\ C_{01}^{01} \\ \vdots \\ C_{0M}^{00} \end{bmatrix} + i_{01} \begin{bmatrix} C_{00}^{01} \\ C_{01}^{01} \\ \vdots \\ C_{0M}^{01} \end{bmatrix} + \dots + i_{LL} \begin{bmatrix} C_{00}^{LL} \\ C_{01}^{LL} \\ \vdots \\ C_{0M}^{LL} \end{bmatrix}$$

【0035】コントローラ17が、順マッピング手順を利用して出力ベクトルOの計算を制御する方法については、図5に関連してさらに詳細に後述することにする。

【0036】図3を参照すると、ランダム・アクセス・メモリのアレイ21は、コントローラ17の制御下で、逆離散的余弦変換の作業データ及び中間結果を記憶するために用いられる。すなわち、現在のところ望ましい実施例によれば、ランダム・アクセス・メモリ21には、コントローラ17の制御下において、入力ベクトルの各位置毎に1つずつ、複数の対応するルック・アップ・テーブルを記憶させる。ルック・アップ・テーブルを記憶させること除けば、ランダム・アクセス・メモリのアレイ21は、広いカテゴリでの記憶装置を表すことを意図したものであるが、これらは、当該技術において周知のところであり、これ以上の説明は行わない。

【0037】対応するルック・アップ・テーブルを利用して、組み合わせられた単一ステップで、入力ベクトルの各量子化変換領域係数が非量子化され、その対応する再構成の核にスケールリングが施される。各ルック・アップ・テーブルは、入力ベクトルの対応する位置に、量子化変換領域係数に関するスケールリングを施した再構成の核の核値を供給する。非量子化とスケールリングを単一テーブル参照ステップに組み合わせることによって、デジタル画像処理システムの総合的なIDCT効率が改善される。

【0038】各ルック・アップ・テーブルは、複数のポテンシャル入力値及びその対応するスケールリングを施した再構成の核の核値から構成される。ルック・アップ・テーブルの内容は、IDCT間で再生されないで、従って、既に計算されて、記憶されているポテンシャル入力値、及び、その対応する再構成の核の核値が、後続のIDCTにおける再使用のために利用可能になる。画像の逆変換には、一般に、数千回の変換が必要になるので、一連のIDCTに関する多くの同一の非量子化及びスケールリングが、これによって、省かれることになり、デジタル画像処理システムの総合的なIDCT効率が、改善される。

【0039】現在のところ望ましい形態の場合、再構成の核の対称特性、量子化に固有の特性、及び、量子化変換領域係数の統計的属性を活用し、これによって、画像の逆変換に必要な計算総量をさらに減少させ、デジタル画像処理システムの総合的なIDCT効率を向上させる、ルック・アップ・テーブルがまさに最適である。

【0040】最適化には、下記が含まれる。

a) 全ての N^2 核値を記憶する代わりに、 $N \times N$ のIDCTの各ポテンシャル入力値毎に、スケールリングを施した再構成の核の、多くても $(N^2 + 2N) / 8$ の固有の核値を各テーブルに記憶する。再構成の核の N^2 の核値は、再構成の核に関して記憶されている、これら多くても $(N^2 + 2N) / 8$ の固有の核値から求めることができる。

b) より多数の非量子化ポテンシャル入力値に関するスケールリングを施された再構成の核の多くても $(N^2 + 2N) / 8$ の固有の核値を記憶する代わりに、量子化ポテンシャル入力値に関するスケールリングを施された再構成の核の、多くても $(N^2 + 2N) / 8$ の固有の核値を各ルック・アップ・テーブルに記憶する。

c) 任意の特定の時点において、量子化ポテンシャル入力値の部分集合だけに関するスケールリングを施された再構成の核の、多くても $(N^2 + 2N) / 8$ の固有の核値を各ルック・アップ・テーブルに記憶し、ポテンシャル入力値の各集合、及びそのスケールリングを施された再構成の核に関する多くても $(N^2 + 2N) / 8$ の固有の核値のテーブル位置に、量子化変換領域係数の最下位ビットによる指標付けを行う。

【0041】さらに、その現在のところ望ましい形態の場合、ランダム・アクセス・メモリのアレイ21に記憶されているルック・アップ・テーブルのテーブル値は、前もって計算されることはない。選択された量子化変換領域係数にとって、多くても $(N^2 + 2N) / 8$ の固有の核値が必要になり、その時点において、対応するルック・アップ・テーブルの指標付きテーブル位置に記憶されていない場合に限って、量子化ポテンシャル入力値に関するスケールリングを施された再構成の核の、多くても $(N^2 + 2N) / 8$ の固有の核値が計算され、量子化ポテンシャル入力値に関連したテーブルに記憶される。選択された量子化変換領域係数は、この時点において非量子化される。しかし、固有の核値を計算し、記憶してしまうと、重ね書きされるまで、後続のIDCTによる再使用のために利用することが可能になる。

【0042】実施例の1つによれば、コントローラ17は、選択された変換領域係数の条件付き非量子化、及びその再構成の核の、多くても $(N^2 + 2N) / 8$ の固有の核値の計算を直接実施する。代替実施例の場合、条件付き計算は、コントローラ17の制御下において、乗算回路によって行われ、乗算回路は、コントローラ17及びランダム・アクセス・メモリのアレイ21に結合されている。

【0043】最適化ルック・アップ・テーブルのさらに詳細な説明については、Method and Apparatus for Fast Implementation of Inverse Discrete Cosine Transform In A Dig

ital Image Processing System Using Optimized Lookup Tablesと題する関連の米国特許出願第
号参照のこと。

【0044】最適化ルック・アップ・テーブルは、変換領域係数を非量子化し、その再構成の核にスケーリングを施すための望ましいアプローチであるが、本発明の場合、コントローラ17によって、あるいは、コントローラ17の制御下にある他の回路要素によって、独立したステップで、非量子化及びスケーリングを行うやり方により実施可能であることは明らかである。

【0045】さらに、図3を参照すると、累算器のアレイ23を利用して、コントローラ17の制御下で、出力ベクトルOの計算が行われる。選択された各変換領域係数毎に、選択された変換領域係数に関するスケーリングを施した再構成の核のk個の固有の核値が、選択的累算に適合する制御信号と共に、累算器のアレイ23に順次加えられるが、ここで、kは、 $(N^2 + 2N) / 8$ 以下である。累算器のアレイ23は、再構成の核の対称特性を活用することによって、回路構成の複雑さを軽減し、比較的低コストで製造することができるよう設計されている。

【0046】次に、図4を参照すると、本発明の累算器のアレイを示すブロック図が、示されている。累算器のアレイ23は、例えば37のような、 N^2 の単純な累算器ブロックから構成されている。 N^2 の累算器ブロックは、全て、同じ入力ライン35及び同じ制御ライン39を共用している。例えば37のような各累算器ブロックは、コントローラの制御下において、わずかに4つの異なる演算の1つを実施するように設計されている。

【0047】

【数6】

$$A_{xy} \leftarrow A$$

$$A_{xy} \leftarrow -A_{xy}$$

$$A_{xy} \leftarrow -A_{xy} + 1$$

$$A_{xy} \leftarrow A_{xy} - 1$$

【0048】さらに、例えば37のような累算器ブロックは論理的にグループ化される。累算器ブロック・グループは 2^q のやり方の1つにおいて互に対称である。適合する対称性を選択するため、P個の対称性選択ビットが、制御ラインに送り出される。典型的な 8×8 の場合、37のような累算器ブロックは、象限によってグループ化され、4つのやり方の1つにおいて互に対称になる。従って、適合する対称性を選択するため、2つの対称性選択ビットが送り出される。典型的な 8×8 の場合に、累算器ブロック・グループが互に対称になる4つのやり方は、次の通りである。

【0049】

【数7】

$$a) \begin{bmatrix} Q & H \\ V & D \end{bmatrix}$$

$$c) \begin{bmatrix} Q & -H \\ V & -D \end{bmatrix}$$

$$b) \begin{bmatrix} Q & H \\ -V & -D \end{bmatrix}$$

$$d) \begin{bmatrix} Q & -H \\ -V & D \end{bmatrix}$$

【0050】ここで、

$$H = QR$$

$$V = RQ$$

$$D = RQR$$

そして、Rは、リフレクション行列である。

【0051】

【数8】

$$\begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix}$$

【0052】さらに、累算器ブロックの各グループ内における実際の配列は、 2^q より大幅に少ないが、ここで、qは $N^2 / 2^{(q-1)}$ に等しい。適合する配列の選択のため、q未満の配列選択ビットが制御ラインに送り出される。典型的な 8×8 の場合、スケーリングを施した再構成の核は、384の固有の核値から構成することができるので、配列選択のために送り出されるのは、32 ($8^2 / 2^{(2-1)}$) に対し、わずか9の配列ビットになる。

【0053】各累積ブロックによって実施される演算を既述の4つの演算に制限し、入力及び制御ラインを共用し、既述のように、累積器ブロックに制御信号を加えることによって、本発明の累積器アレイは、比較的低いコストで実施することが可能である。

【0054】次に、図5を参照すると、ここにはデジタル画像処理システムによる逆離散の余弦変換を極めて高速度で実施するための本発明による方法を表したブロック図が示されている。最初に、ブロック42において、コントローラは、累算器アレイがゼロ値に初期設定されるようにする。次に、ブロック44において、コントローラは、 N^2 の変換領域係数の入力ベクトルから、変換領域係数の1つを選択する。ブロック46において、選択した変換領域係数が非ゼロの場合、コントローラは、

ブロック48-52において、 k 個の固有の核値が生成され、選択的に、累算器アレイに累積されるようにする。

【0055】ブロック48において、各固有の核値が生成され、ブロック50において、適合する対称性選択及び配列選択標識と共に累算器アレイに加えられる。従って、ブロック52においては、累算器アレイが固有の核値のそれぞれを累積する。ブロック46-52は、選択された変換領域係数の再構成の核に関する k 個の固有の核値が累算されるまで、コントローラの制御下で繰り返される。

【0056】前述のように、再構成の核の N^2 の核値は、全て、 k 個の固有の核値から求めることが可能であり、 k は多くても $(N^2 + 2N) / 8$ に等しい。固有の核値はコントローラによって直接生成されるか、または、コントローラの制御下にある他の回路構成によって生成されるルック・アップ・テーブルから検索することができる。

【0057】ブロック44、及び、ブロック48-52の反復が、逆離散的余弦変換の各非ゼロ変換領域係数毎に1回ずつ、コントローラの制御下において繰り返される。ゼロ変換領域係数は、出力ベクトルに寄与しないので、逆離散的余弦変換のゼロ変換領域係数の場合には、ブロック44、及びブロック48-52をスキップする。さらに、画像を再構成するために実施する必要のある各逆離散的余弦変換毎に、コントローラの制御下で全プロセス40が反復される。

【0058】代替実施例の場合、デジタル画像処理システムの総合的なIDCT効率をさらに改善するため、画像の質のトレード・オフを行うことが可能である。この代替実施例によれば、そのスケーリングを施された再構成の核が出力ベクトルに累算される非ゼロ値の量子化変換領域係数の数が制限される可能性がある。しかし、入

力ベクトルにおける量子化変換領域係数が、優先順位に基づいて、処理される場合には、画像の質に対する影響を最小限に抑えることが可能になる。

【0059】現在のところ望ましい実施例及び代替実施例に関して、本発明の説明を行ってきたが、当該技術の熟練者には明らかなように、本発明は既述の実施例に制限されるものではない。付属の請求項の精神及び範囲に含まれる修正及び変更を施して、本発明の方法及び装置を実施することが可能である。従って、この説明は、本発明を制限するものではなく、その例示のためのものとみなすべきである。

【図面の簡単な説明】

【図1】本発明の教示を組み込んだ画像処理システムの論理図である。

【図2】図1に示す画像処理システムの画像プロセッサにおける主プロセッサの論理図である。

【図3】本発明のIDCTプロセッサの論理図である。

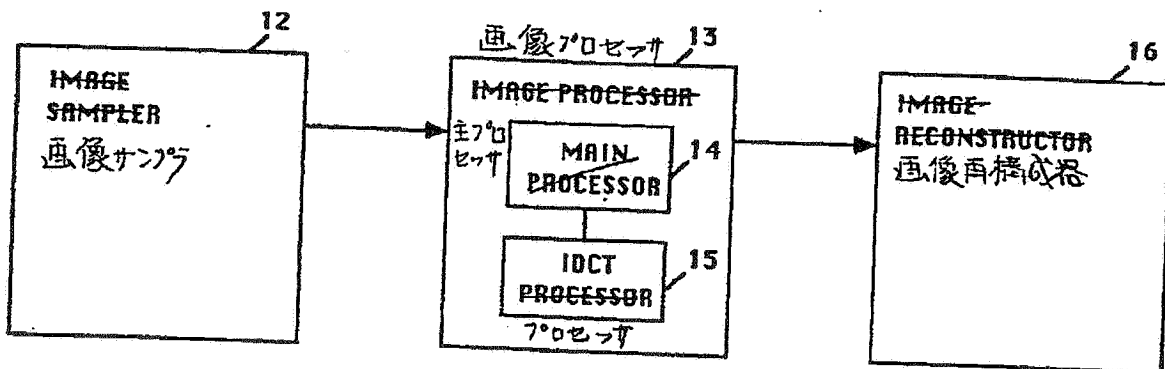
【図4】本発明の累算器アレイの論理図である。

【図5】本発明の方法を示すフローチャートである。

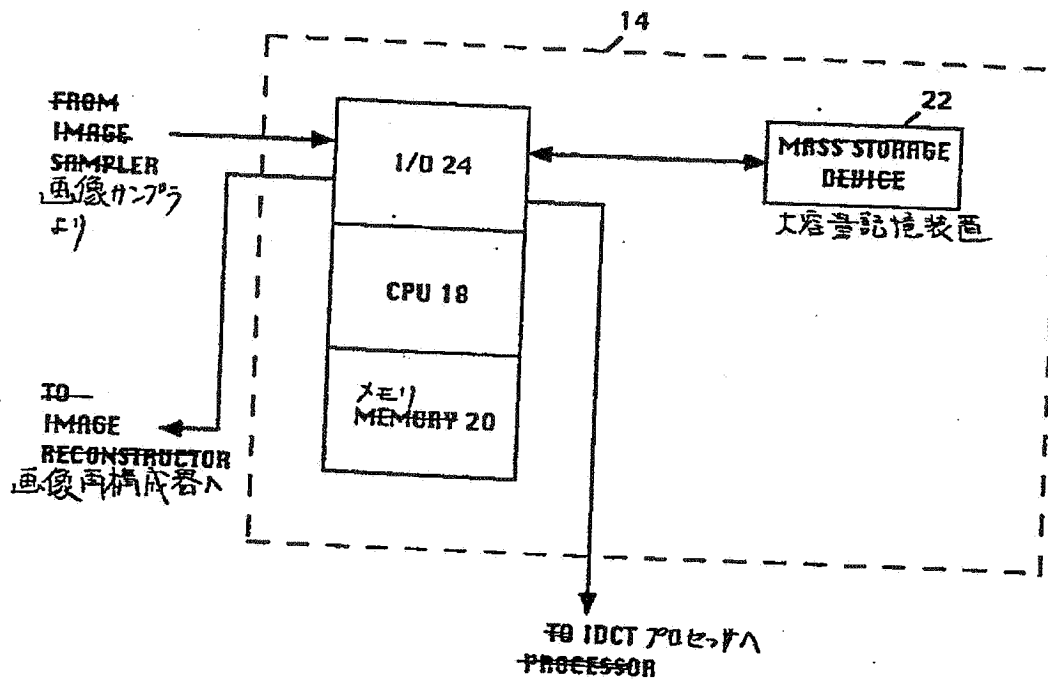
【符号の説明】

- 12 画像サンブラ
- 13 デジタル画像プロセッサ
- 14 主プロセッサ
- 15 IDCTプロセッサ
- 16 画像再構成器
- 17 コントローラ
- 18 CPU
- 19 乗算器
- 20 メモリ
- 21 ランダム・アクセス・メモリ
- 22 大容量記憶装置
- 23 累算器アレイ

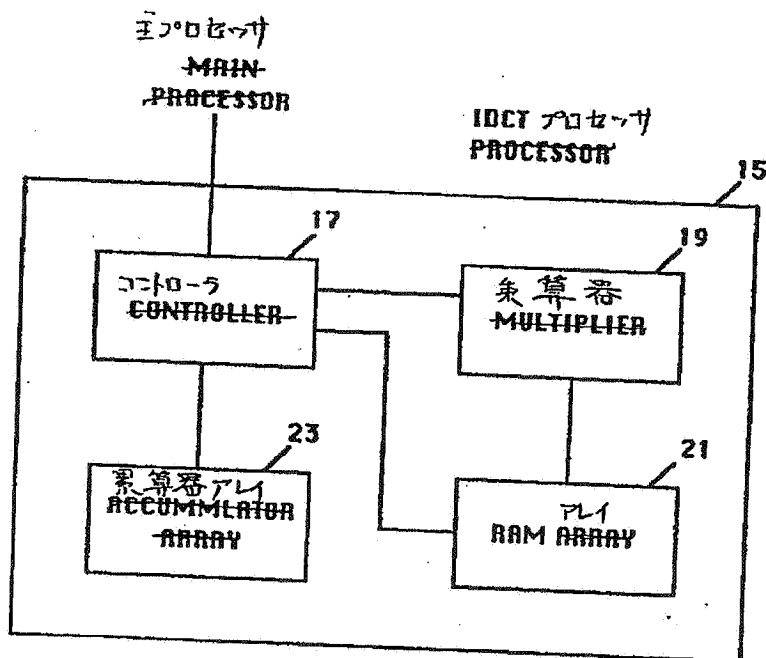
【図1】



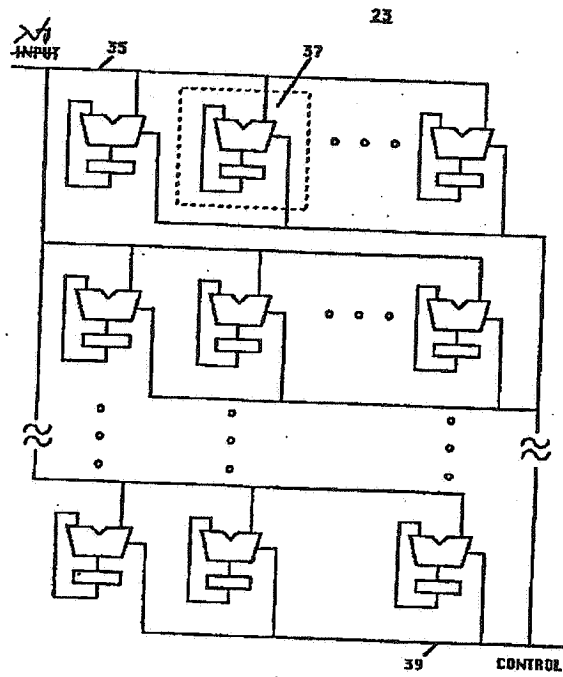
【図2】



【図3】



【図4】



【図5】

